



改訂記録

改訂番号	改訂内容	発行年月日
Rev. J1.0	Initial Issue	2016年3月20日
Rev. J1.1	ページ9 データ保持特性 変更 データ保持電流 I_{DR} TYP. 4→5	2024年4月25日

REVISION HISTORY

<u>Revision</u>	<u>Description</u>	<u>Issue Date</u>
Rev. 1.0	Initial Issue	Mar.20.2020
Rev. 1.1	DATA RETENTION CHARACTERISTICS ---page9 Data Retention Current I_{DR} TYP. 4→5	Apr.25.2024



特長

- アクセス時間 : 45/55ns (max.)
- 低消費電力:
動作電流 : 12/10mA (typ.)
スタンバイ電流 : 5uA (typ.)
- 単一電源動作 : 2.7V~3.6V
- 入出力TTLコンパチブル
- 完全スタティック動作
- トライ・ステート出力
- データ・バイト制御 : LB#はDQ0 ~ DQ7制御
UB#はDQ8 ~ DQ15制御
- データ保持最低電源電圧 : 1.5V (MIN.)
- **グリーン・パッケージ対応**
- パッケージ : 48-pin 12mm x 20mm TSOP I
48-ball 6mm x 8mm TFBGA

概要

LY62L102516Bシリーズは16,777,216ビットで1,048,576x16ビットの低消費電力CMOSスタティックRAMです。

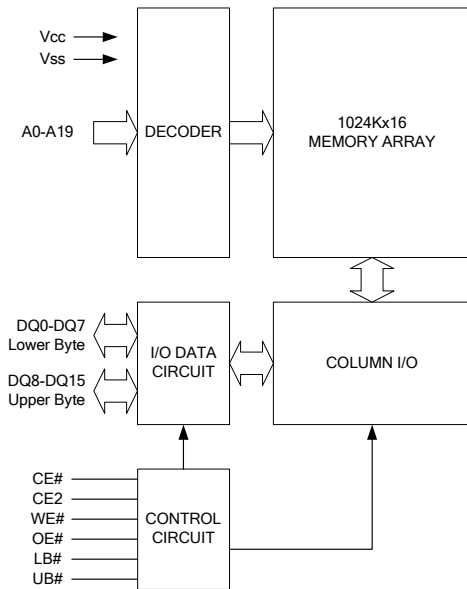
高性能と高信頼性CMOS技術を採用し全動作温度範囲において安定したスタンバイ電流特性を持っています。

LY62L102516Bシリーズは低消費電力の商品に適しています。特に電源切断時に二次電源でバックアップしデータを保持する必要があるシステムに最適です。

LY62L102516Bシリーズは単一の2.7V ~ 3.6Vの電源で動作し全ての入出力はTTLコンパチです。

製品ラインナップ

Product Family	Operating Temperature	V _{CC} Range	Speed	Power Dissipation	
				Standby(I _{SB1} , TYP.)	Operating(I _{CC} , TYP.)
LY62L102516B	0 ~ 70°C	2.7 ~ 3.6V	45/55ns	5μA(SL)	12/10mA
LY62L102516B(I)	-40 ~ 85°C	2.7 ~ 3.6V	45/55ns	5μA(SL)	12/10mA

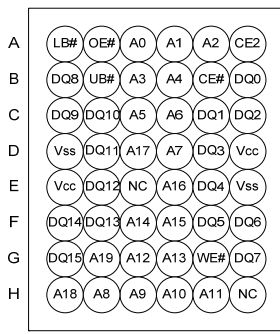
機能ブロックダイアグラム

ピン名称

SYMBOL	DESCRIPTION
A0 - A19	Address Inputs
DQ0 - DQ15	Data Inputs/Outputs
CE#, CE2	Chip Enable Input
WE#	Write Enable Input
OE#	Output Enable Input
LB#	Lower Byte Control
UB#	Upper Byte Control
Vcc	Power Supply
Vss	Ground

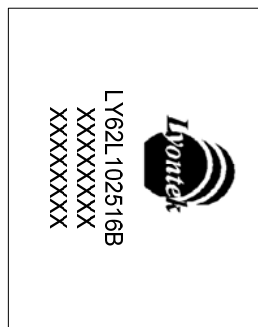
ピン配置



TSOP I



TFBGA(See through with Top View)



TFBGA(Top View)



絶対最大定格 *

PARAMETER	SYMBOL	RATING	UNIT
Voltage on V _{CC} relative to V _{SS}	V _{T1}	-0.5 to 4.6	V
Voltage on any other pin relative to V _{SS}	V _{T2}	-0.5 to V _{CC} +0.5	V
Operating Temperature	T _A	0 to 70(C grade)	°C
		-40 to 85(I grade)	
Storage Temperature	T _{STG}	-65 to 150	°C
Power Dissipation	P _D	1	W
DC Output Current	I _{OUT}	50	mA

* 「絶対最大定格」に記載されている以上のストレスは、デバイスに恒久的な損傷を与える可能性があります。これはストレス量のみでありデバイスの機能的な動作や、この仕様の動作セクションに示されている条件を超えるその他の条件を意味するものではありません。長期にわたり絶対最大定格条件に曝すとデバイスの信頼性に影響を与える可能性があります。

真理値表（動作表）

MODE	CE#	CE2	OE#	WE#	LB#	UB#	I/O OPERATION		SUPPLY CURRENT
							DQ0-DQ7	DQ8-DQ15	
Standby	H	X	X	X	X	X	High - Z	High - Z	I _{SB1}
	X	L	X	X	X	X	High - Z	High - Z	
	X	X	X	X	H	H	High - Z	High - Z	
Output Disable	L	H	H	H	L	X	High - Z	High - Z	I _{CC} , I _{CC1}
	L	H	H	H	X	L	High - Z	High - Z	
Read	L	H	L	H	L	H	D _{OUT}	High - Z	I _{CC} , I _{CC1}
	L	H	L	H	H	L	High - Z	D _{OUT}	
	L	H	L	H	L	L	D _{OUT}	D _{OUT}	
Write	L	H	X	L	L	H	D _{IN}	High - Z	I _{CC} , I _{CC1}
	L	H	X	L	H	L	High - Z	D _{IN}	
	L	H	X	L	L	L	D _{IN}	D _{IN}	

Note: H = V_{IH}, L = V_{IL}, X = Don't care.



DC 電氣的特性

PARAMETER	SYMBOL	TEST CONDITION	MIN.	TYP. ^{*4}	MAX.	UNIT		
Supply Voltage	V _{CC}		2.7	3.0	3.6	V		
Input High Voltage	V _{IH} ^{*1}		2.2	-	V _{CC} +0.3	V		
Input Low Voltage	V _{IL} ^{*2}		-0.2	-	0.6	V		
Input Leakage Current	I _{LI}	V _{CC} ≥ V _{IN} ≥ V _{SS}	-1	-	1	μA		
Output Leakage Current	I _{LO}	V _{CC} ≥ V _{OUT} ≥ V _{SS} , Output Disabled	-1	-	1	μA		
Output High Voltage	V _{OH}	I _{OH} = -1mA	2.2	2.7	-	V		
Output Low Voltage	V _{OL}	I _{OL} = 2mA	-	-	0.4	V		
Average Operating Power supply Current	I _{CC}	Cycle time = Min. CE# ≤ 0.2V and CE2 ≥ V _{CC} -0.2V I _{I/O} = 0mA Others at 0.2V or V _{CC} -0.2V	-45	-	12	20	mA	
			-55	-	10	18	mA	
	I _{CC1}	Cycle time = 1μs CE# ≤ 0.2V and CE2 ≥ V _{CC} -0.2V I _{I/O} = 0mA Other pins at 0.2V or V _{CC} -0.2V	-	-	3	5	mA	
Standby Power Supply Current	I _{SB1}	CE# ≥ V _{CC} -0.2V or CE2 ≤ 0.2V Other pins at 0.2V or V _{CC} -0.2V	SL ^{*5}	25°C	-	5	10	μA
			SLI ^{*5}	40°C	-	5	10	μA
			SL		-	5	30	μA
			SLI		-	5	40	μA

注意事項：

- 最大入力電圧、V_{IH} (max.)は6ns以内のパルス幅でV_{CC}+3.0Vとする。
- 最低入力電圧、V_{IL} (min.)は6ns以内のパルス幅でV_{SS}-3.0Vとする。
- オーバー/アンダースhootに関しては製品評価段階で評価済みですが、量産時のテストはしていません。
- V_{CC}=V_{CC}(typ.)、T_A=25°Cの条件で測定された平均値は参考値として示してありますが、保証値ではなく量産時のテストはしていません。
- この項目はV_{CC}=3.0Vにおける参考値。

負荷容量 (T_A=25°C, f=1.0MHz)

PARAMETER	SYMBOL	MIN.	MAX	UNIT
Input Capacitance	C _{IN}	-	6	pF
Input/Output Capacitance	C _{I/O}	-	8	pF

注意事項：これらのパラメータは製品評価で保証されていますが、量産時のテストはしていません。

AC テスト条件

Input Pulse Levels	0.2V to V _{CC} - 0.2V
Input Rise and Fall Times	3ns
Input and Output Timing Reference Levels	1.5V
Output Load	C _L = 30pF + 1TTL, I _{OH} /I _{OL} = -1mA/2mA

AC 電氣的特性

(1) リード・サイクル

PARAMETER	SYM.	LY62L102516B-45		LY62L102516B-55		UNIT
		MIN.	MAX.	MIN.	MAX.	
Read Cycle Time	t _{RC}	45	-	55	-	ns
Address Access Time	t _{AA}	-	45	-	55	ns
Chip Enable Access Time	t _{ACE}	-	45	-	55	ns
Output Enable Access Time	t _{OE}	-	25	-	30	ns
Chip Enable to Output in Low-Z	t _{CLZ} *	10	-	10	-	ns
Output Enable to Output in Low-Z	t _{OLZ} *	5	-	5	-	ns
Chip Disable to Output in High-Z	t _{CHZ} *	-	15	-	20	ns
Output Disable to Output in High-Z	t _{OHZ} *	-	15	-	20	ns
Output Hold from Address Change	t _{OH}	10	-	10	-	ns
LB#, UB# Access Time	t _{BA}	-	45	-	55	ns
LB#, UB# to High-Z Output	t _{BHZ} *	-	20	-	25	ns
LB#, UB# to Low-Z Output	t _{BLZ} *	10	-	10	-	ns

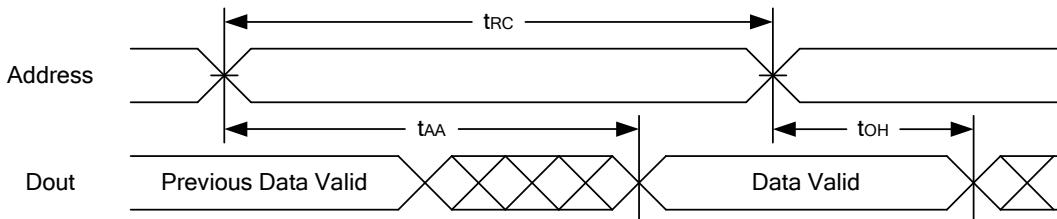
(2) ライト・サイクル

PARAMETER	SYM.	LY62L102516B-45		LY62L102516B-55		UNIT
		MIN.	MAX.	MIN.	MAX.	
Write Cycle Time	t _{WC}	45	-	55	-	ns
Address Valid to End of Write	t _{AW}	40	-	50	-	ns
Chip Enable to End of Write	t _{CW}	40	-	50	-	ns
Address Set-up Time	t _{AS}	0	-	0	-	ns
Write Pulse Width	t _{WP}	35	-	45	-	ns
Write Recovery Time	t _{WR}	0	-	0	-	ns
Data to Write Time Overlap	t _{DW}	20	-	25	-	ns
Data Hold from End of Write Time	t _{DH}	0	-	0	-	ns
Output Active from End of Write	t _{OW} *	5	-	5	-	ns
Write to Output in High-Z	t _{WHZ} *	-	15	-	20	ns
LB#, UB# Valid to End of Write	t _{BW}	35	-	45	-	ns

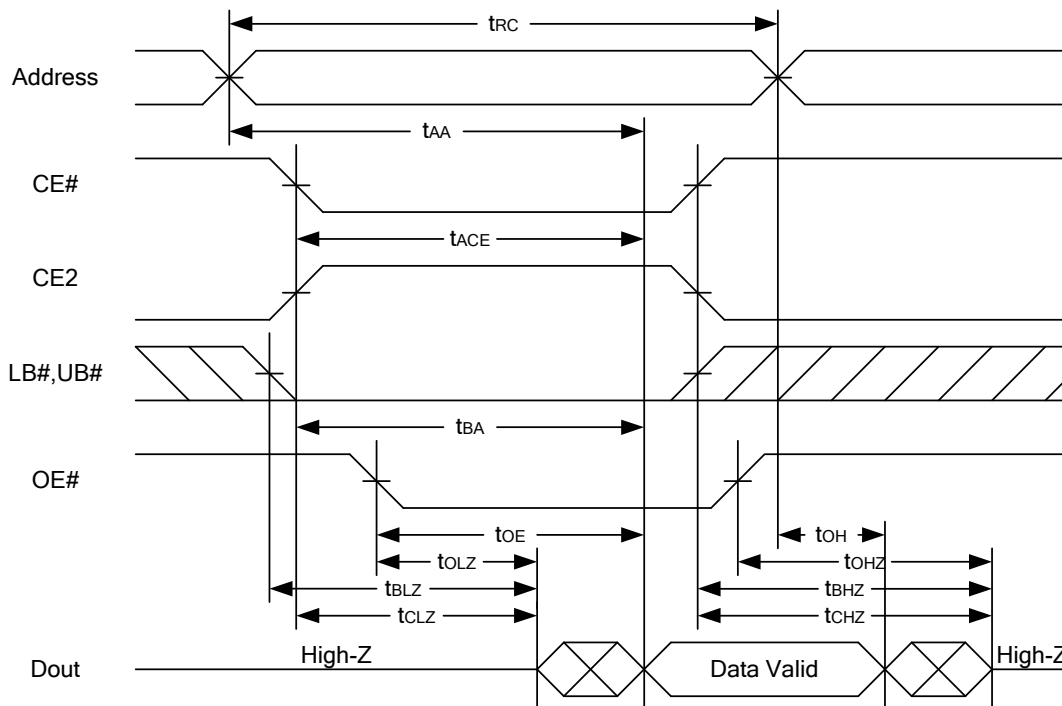
*各パラメータは製品特性上の保証値ですが、量産時のテストはしていません。

タイミング波形

リード・サイクル1 (アドレス・コントロール) (注意事項1, 2)

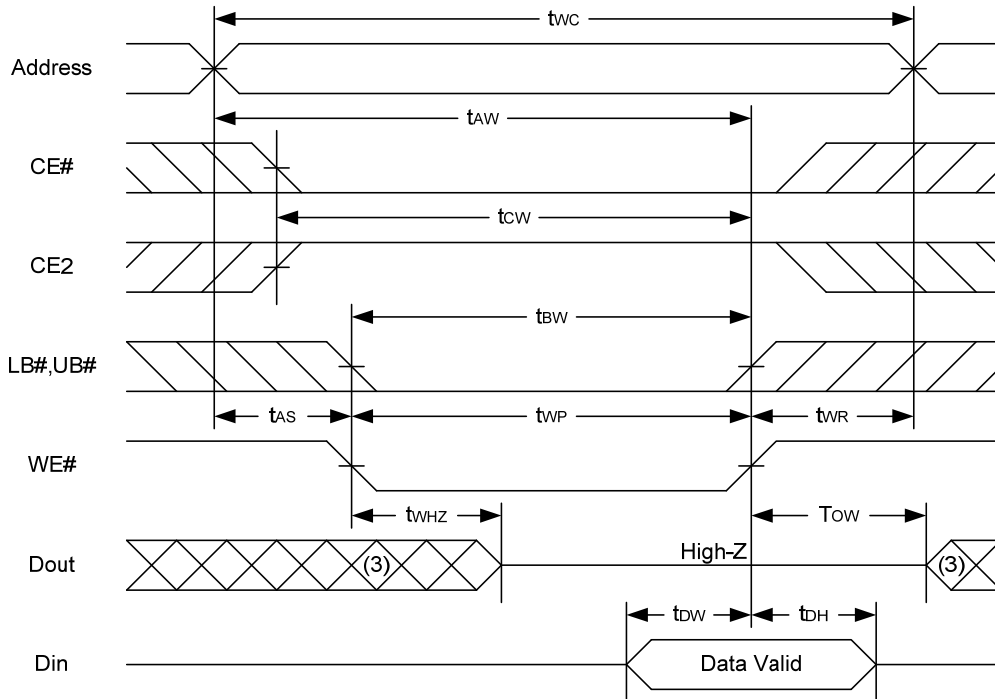
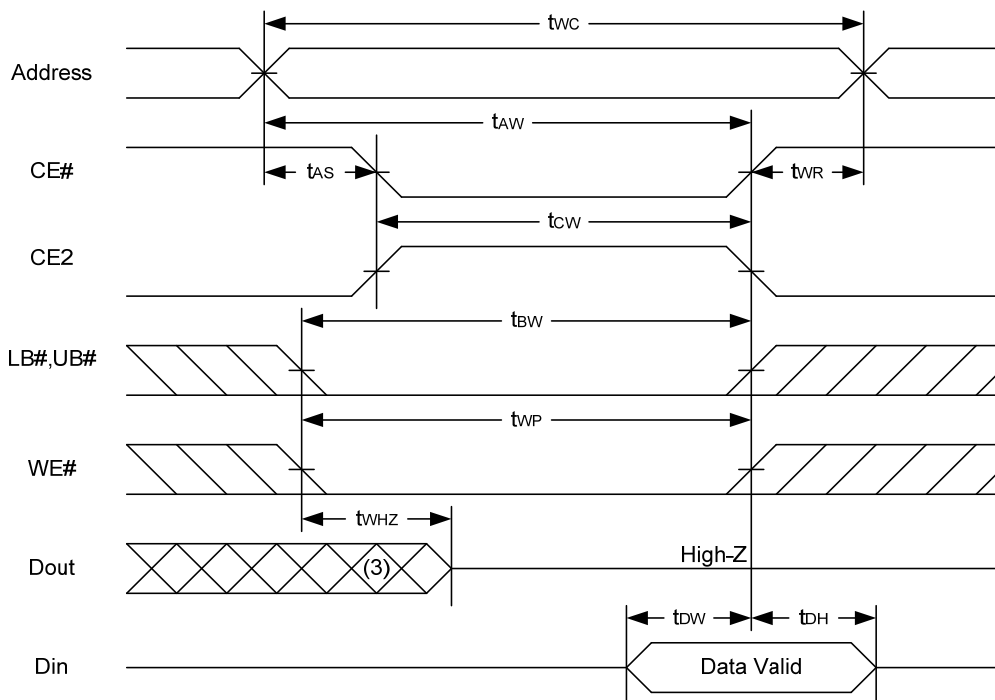


リード・サイクル2 (CE#, CE2とOE#コントロール) (注意事項1, 3, 4, 5)

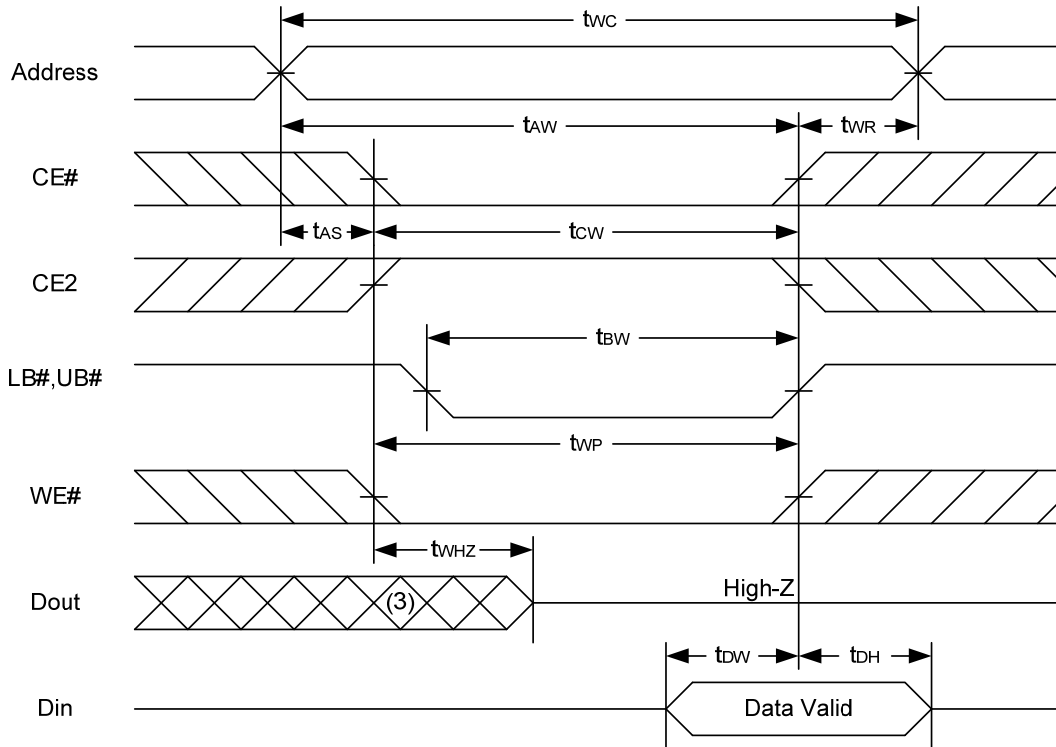


注意事項:

1. リード・サイクル時にはWE#はハイレベルでなければなりません。
2. OE#とCE#はローレベル、LB#とUB#のどちらかでもローレベルの場合はリード・サイクルとなります。
3. アドレスはCE#はローレベル、LB#またはUB#はローレベルに変化する前、または同時に有効でなければなりません。
もしそうでなければtAAは保証されません。
4. tCLZ、tBLZ、tOLZ、tCHZ、tBHZ、およびtOHZは、CL = 5pFで指定されます。その変化は定常状態から±500mVの測定です。
5. 温度および電圧が同じ条件であればtCHZはtCLZより小さく、tBHZはtBLZより小さく、tOHZはtOLZより小さくなります。

ライト・サイクル 1 (WE# コントロール) (注意事項 1,2,4,5)

ライト・サイクル 2 (CE# and CE2 コントロール) (注意事項 1,4,5)


ライト・サイクル 3 (LB#,UB# コントロール) (注意事項 1,4,5)



注意事項：

- 1.書き込みはCE#はローレベル、CE2はハイレベル、WE#はハイレベル、LB#またはUB#はローレベルのオーバーラップ中に実行されます。
- 2.OE#がローレベルのWE#制御書き込みサイクル中、内部回路のドライバーをオフにしてデータを書き込みするには t_{WP} を $t_{WHZ} + t_{DW}$ より大きくする必要があります。
- 3.この期間、I/Oピンは出力状態にあり入力信号を印加してはいけません。
- 4.CE#、LB#、UB#のローレベルへの変化およびCE2のハイレベルへの変化がWE#のローレベルへの変化と同時にまたはその後に発生した場合、出力は高インピーダンス状態になります。
5. t_{OW} および t_{WHZ} は $CL = 5pF$ の条件です。この変化は定常状態から $\pm 500mV$ での測定です。

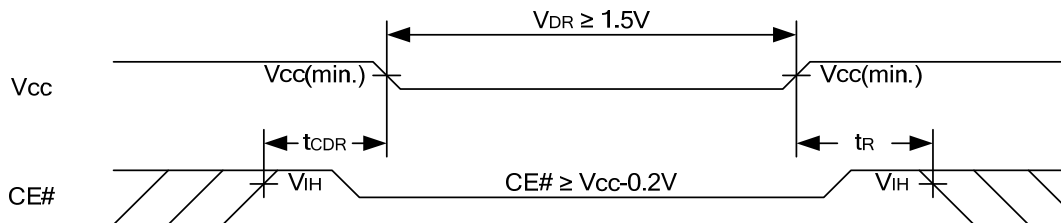
データ保持特性

PARAMETER	SYMBOL	TEST CONDITION	MIN.	TYP.	MAX.	UNIT		
V _{CC} for Data Retention	V _{DR}	CE# ≥ V _{CC} - 0.2V or CE2 ≤ 0.2V	1.5	-	3.6	V		
Data Retention Current	I _{DR}	V _{CC} = 1.5V	SL	25°C	-	4	10	μA
			SLI	40°C	-	4	10	μA
		CE# ≥ V _{CC} - 0.2V or CE2 ≤ 0.2V Other pins at 0.2V or V _{CC} - 0.2V	SL		-	4	30	μA
			SLI		-	4	40	μA
Chip Disable to Data Retention Time	t _{CDR}	See Data Retention Waveforms (below)	0	-	-	ns		
Recovery Time	t _r		t _{RC} *	-	-	ns		

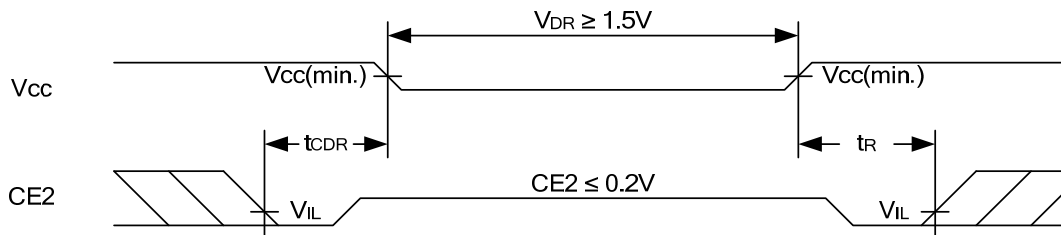
 t_{RC}* = Read Cycle Time

データ保持タイミング・チャート

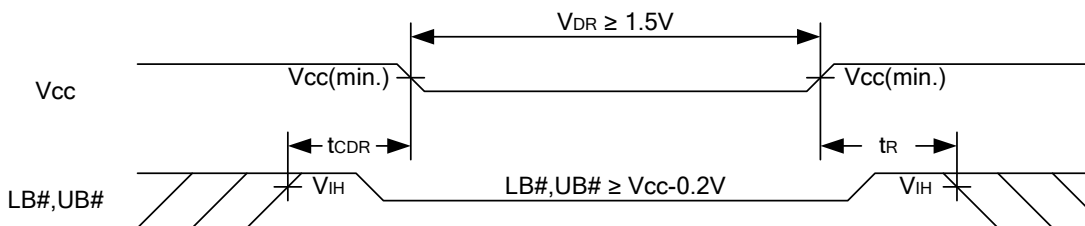
データ保持タイミング・チャート 1 (CE#コントロール)



データ保持タイミング・チャート 2 (CE2コントロール)

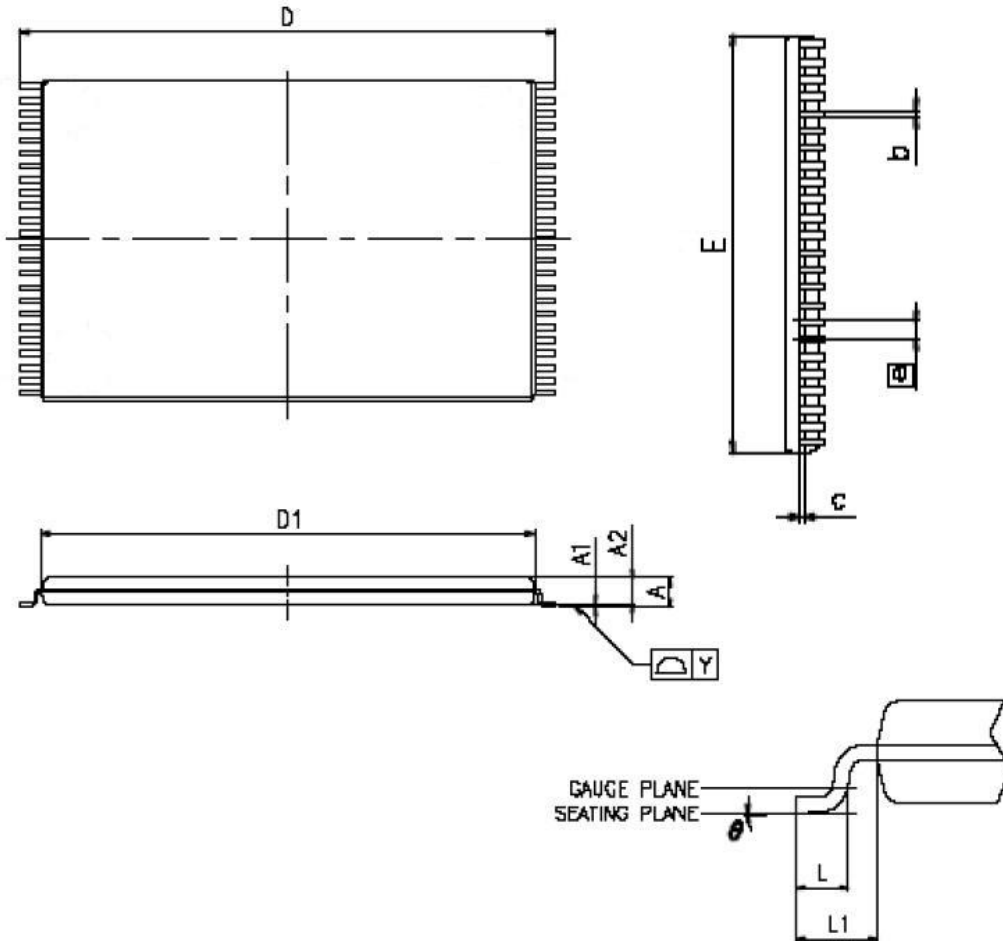


データ保持タイミング・チャート 3 (LB#, UB#コントロール)



パッケージ外形寸法

48-pin 12mm x 20mm TSOP I パッケージ外形寸法



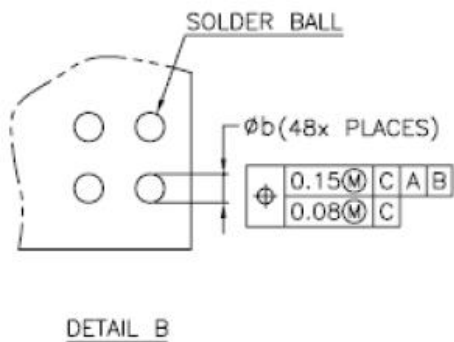
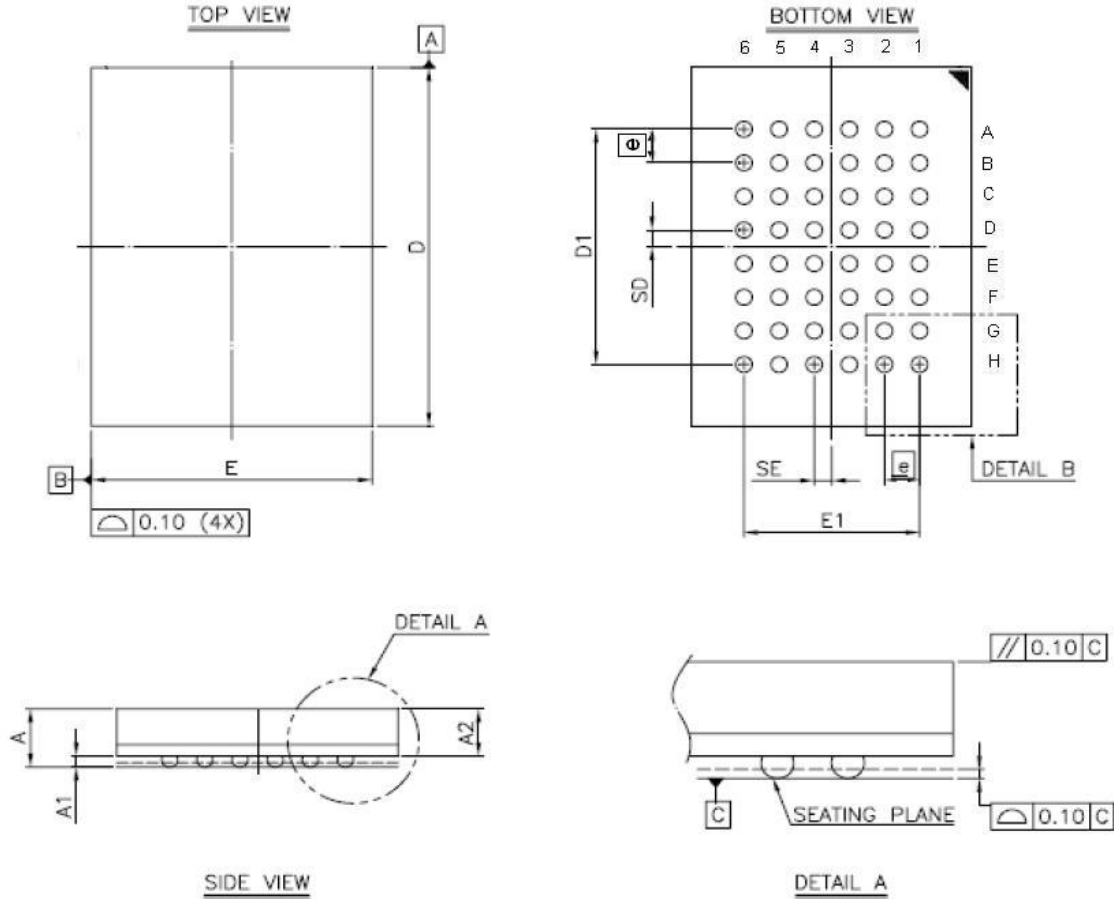
VARIATIONS (ALL DIMENSIONS SHOWN IN MM)

SYMBOLS	MIN.	NOM.	MAX
A	-	-	1.20
A1	0.05	-	0.15
A2	0.95	1.00	1.05
b	0.17	0.22	0.27
c	0.10	-	0.21
Δ D	19.80	20.00	20.20
Δ D1	18.30	18.40	18.50
Δ E	11.80	12.00	12.10
\square	0.50 BASIC		
L	0.50	0.60	0.70
Δ L1	-	0.80	-
Δ Y	-	-	0.10
Δ θ	0°	-	5°

NOTES:

- 1 JEDEC OUTLINE : MO-142 DD
2. PROFILE TOLERANCE ZONES FOR D1 AND E DO NOT INCLUDE MOLD PROTRUSION. ALLOWABLE MOLD PROTRUSION ON E IS 0.15mm PER SIDE AND ON D1 IS 0.25mm PER SIDE.
3. DIMENSION b DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.08mm TOTAL IN EXCESS OF THE b DIMENSION AT MAXIMUM MATERIAL CONDITION. DAMBAR CANNOT BE LOCATED ON THE LOWER RADIUS OR THE FOOT.

48-ball 6mm × 8mm TFBGA パッケージ外形寸法



SYM.	DIMENSION (mm)			DIMENSION (inch)		
	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.
A	—	—	1.40	—	—	0.055
A1	0.20	0.25	0.30	0.008	0.010	0.012
A2	—	—	1.05	—	—	0.041
b	0.30	0.35	0.40	0.012	0.014	0.016
D	7.95	8.00	8.05	0.313	0.315	0.317
D1	5.25 BSC			0.207 BSC		
E	5.95	6.00	6.05	0.234	0.236	0.238
E1	3.75 BSC			0.148 BSC		
SE	0.375 TYP			0.015 TYP		
SD	0.375 TYP			0.015 TYP		
φ	0.75 BSC			0.030 BSC		

NOTE:

1. CONTROLLING DIMENSION : MILLIMETER.
2. REFERENCE DOCUMENT : JEDEC MO-207.



注文時の関連情報

Package Type	Access Time (Speed)(ns)	Power Type	Temperature Range(°C)	Packing Type	Lyontek Item No.
48-pin (12mm x 20mm) TSOP I	45	Special Ultra Low Power	0°C~70°C	Tray	LY62L102516BLL-45SL
				Tape Reel	LY62L102516BLL-45SLT
			-40°C~85°C	Tray	LY62L102516BLL-45SLI
				Tape Reel	LY62L102516BLL-45SLIT
	55	Special Ultra Low Power	0°C~70°C	Tray	LY62L102516BLL-55SL
				Tape Reel	LY62L102516BLL-55SLT
			-40°C~85°C	Tray	LY62L102516BLL-55SLI
				Tape Reel	LY62L102516BLL-55SLIT
48-ball (6mm x 8mm) TFBGA	45	Special Ultra Low Power	0°C~70°C	Tray	LY62L102516BGL-45SL
				Tape Reel	LY62L102516BGL-45SLT
			-40°C~85°C	Tray	LY62L102516BGL-45SLI
				Tape Reel	LY62L102516BGL-45SLIT
	55	Special Ultra Low Power	0°C~70°C	Tray	LY62L102516BGL-55SL
				Tape Reel	LY62L102516BGL-55SLT
			-40°C~85°C	Tray	LY62L102516BGL-55SLI
				Tape Reel	LY62L102516BGL-55SLIT