



改訂記録

<u>改訂番号</u>	<u>改訂内容</u>	<u>発行年月日</u>
Rev. J1.0	初版	2016年4月6日
Rev. J1.1	8ページのライトサイクルの下記注意事項 1 を削除 1. WE#, CE#, LB#, UB# must be high or CE2 must be low during all address transitions.	2016年6月28日
Rev. J1.2	DC電気的特性、データ保持特性、製品ファミリーと特徴の $I_{CC} / I_{CC1} / I_{SB1}(\text{MAX.}) / I_{DR}(\text{MAX.})$ を変更	2017年4月7日
Rev. J1.3	真理値表注意事項追加 2. 4M x 16として使う場合はBYTE#は「H」。8M x 8として使う場合にはBYTE#は「L」、ピン45をA-1と使いUB#とLB#は「L」でDQ8 ~ DQ14は使用しない。	2017年5月22日
Rev. J1.4	ページ 7 と 8 のライト・サイクルのタイミング波形の部分の誤記訂正	2020年7月30日

REVISION HISTORY

<u>Revision</u>	<u>Description</u>	<u>Issue Date</u>
Rev. 1.0	Initial Issue	Apr.06.2016
Rev. 1.1	Deleted WRITE CYCLE Notes : 1. WE#, CE#, LB#, UB# must be high or CE2 must be low during all address transitions. in page 8	Jun.28.2016
Rev. 1.2	Revised $I_{CC} / I_{CC1} / I_{SB1}(\text{MAX.}) / I_{DR}(\text{MAX.})$ in <u>DC ELECTRICAL CHARACTERISTICS & DATA RETENTION CHARACTERISTICS & PRODUCT FAMILY & FEATURES</u>	Apr.07.2017
Rev. 1.3	Added <u>TRUTH TABLE</u> Notes: 2. The BYTE# pin has to be tied to V_{CC} to use the device as a 4M x 16 SRAM, and to be tied to V_{SS} as a 8M x 8 SRAM. In the 8M x 8 configuration, Pin 45 is A-1, and both UB# and LB# are tied to V_{SS} , while DQ8 to DQ14 pins are not used.	May.22.2017
Rev. 1.4	Revised typo in <u>TIMING WAVEFORMS</u> of WRITE CYCLE in page 7 & 8	Jul.30.2020



特長

- アクセス時間 : 55ns (max.)
- 低消費電力:
動作電流 : 12mA (typ.)
スタンバイ電流 : 12 μ A (typ.) SL-グレイド*
- 単一電源動作 : 2.7V~3.6V
- 入出力TTLコンパチブル
- 完全スタティック動作
- トライ・ステート出力
- データ・バイト制御:
(i) BYTE#は「H」
LB#はDQ0 ~ DQ7制御
UB#はDQ8 ~ DQ15制御
(ii) BYTE#は「L」
DQ15はアドレス入力として使用。
DQ8 ~ DQ 14は使用しない。
- データ保持最低電源電圧 : 1.2V (min.)
- **グリーン・パッケージ対応**
- パッケージ : 48ピン 12mm x 20mm TSOP I

概要

LY62L409816Bシリーズは67, 108, 864ビットで4, 194, 304x16ビットと8, 388, 608x8ビットの切り替え可能な低消費電力CMOSスタティックRAMです。

高性能と高信頼性CMOS技術を採用し全動作温度範囲において安定したスタンバイ電流特性を持っています。

LY62L409816Bシリーズは低消費電力の商品に適しています。特に電源切断時に二次電源でバックアップしデータを保持する必要があるシステムに最適です。

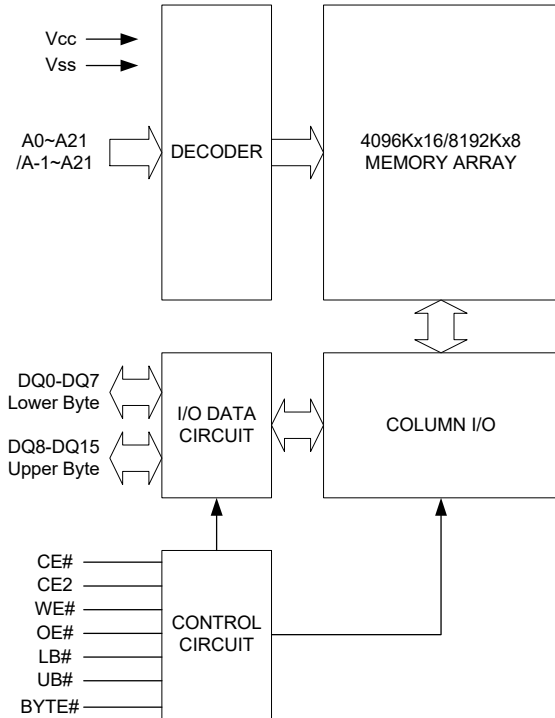
LY62L409816Bシリーズは単一の2.7V ~ 3.6Vの電源で動作し全ての入出力はTTLコンパチです。

製品ラインナップ

Product Family	Operating Temperature	V _{CC} Range	Speed	Power Dissipation	
				Standby(I _{SB1} , TYP.)	Operating(I _{CC} , TYP.)
LY62L409816A	0 ~ 70°C	2.7 ~ 3.6V	55ns	12 μ A(SL)	12mA
LY62L409816A(I)	-40 ~ 85°C	2.7 ~ 3.6V	55ns	12 μ A(SL)	12mA



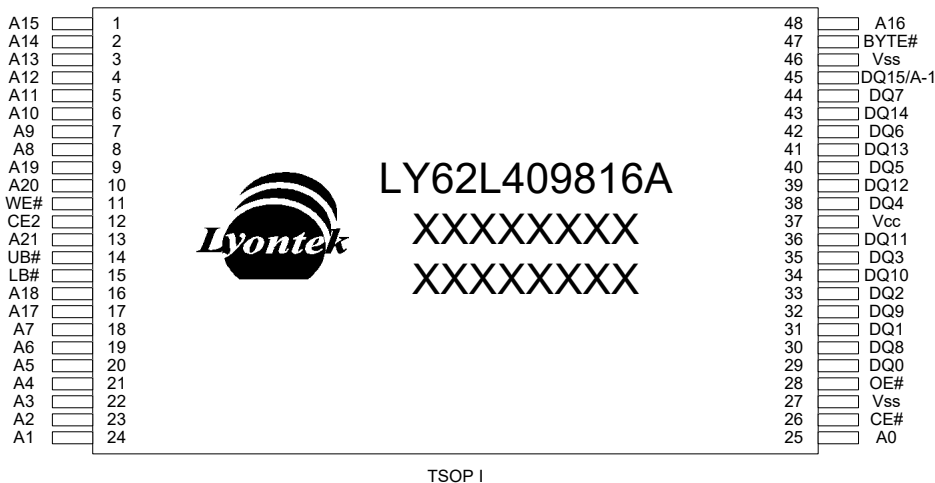
機能ブロックダイアグラム



ピン名称

SYMBOL	DESCRIPTION
A0 - A21	Address Inputs(word mode)
A-1 - A21	Address Inputs(byte mode)
DQ0 - DQ15	Data Inputs/Outputs
CE#, CE2	Chip Enable Input
WE#	Write Enable Input
OE#	Output Enable Input
LB#	Lower Byte Control
UB#	Upper Byte Control
BYTE#	Byte Enable
Vcc	Power Supply
Vss	Ground

ピン配置



TSOP I



絶対最大定格*

PARAMETER	SYMBOL	RATING	UNIT
Voltage on V _{CC} relative to V _{SS}	V _{T1}	-0.5 to 4.6	V
Voltage on any other pin relative to V _{SS}	V _{T2}	-0.5 to V _{CC} +0.5	V
Operating Temperature	T _A	0 to 70(C grade)	°C
		-40 to 85(I grade)	
Storage Temperature	T _{STG}	-65 to 150	°C
Power Dissipation	P _D	1	W
DC Output Current	I _{OUT}	50	mA

*「絶対最大定格」に記載されている以上のストレスは、デバイスに恒久的な損傷を与える可能性があります。これはストレス量のみでありデバイスの機能的な動作や、この仕様の動作セクションに示されている条件を超えるその他の条件を意味するものではありません。長期にわたり絶対最大定格条件に曝すとデバイスの信頼性に影響を与える可能性があります。

真理値表 (動作表)

MODE	CE#	CE2	BYTE #	OE#	WE#	LB#	UB#	I/O OPERATION			SUPPLY CURRENT
								DQ0-DQ7	DQ8-DQ14	DQ15	
Standby	H	X	X	X	X	X	X	High-Z	High-Z	High-Z	I _{SB1}
	X	L	X	X	X	X	X	High-Z	High-Z	High-Z	
	X	X	H	X	X	H	H	High-Z	High-Z	High-Z	
Output Disable	L	H	H	H	H	L	X	High-Z	High-Z	High-Z	I _{CC} , I _{CC1}
	L	H	H	H	H	X	L	High-Z	High-Z	High-Z	
	L	H	L	H	H	L	L	High-Z	High-Z	A-1	
Read	L	H	H	L	H	L	H	D _{OUT}	High-Z	High-Z	I _{CC} , I _{CC1}
	L	H	H	L	H	H	L	High-Z	D _{OUT}	D _{OUT}	
	L	H	H	L	H	L	L	D _{OUT}	D _{OUT}	D _{OUT}	
Write	L	H	H	X	L	L	H	D _{IN}	High-Z	High-Z	I _{CC} , I _{CC1}
	L	H	H	X	L	H	L	High-Z	D _{IN}	D _{IN}	
	L	H	H	X	L	L	L	D _{IN}	D _{IN}	D _{IN}	
Byte# Read	L	H	L	L	H	L	L	D _{OUT}	High-Z	A-1	I _{CC} , I _{CC1}
Byte # Write	L	H	L	X	L	L	L	D _{IN}	High-Z	A-1	I _{CC} , I _{CC1}

注意事項

- 「H」はハイレベル入力、「L」はローレベル入力。「X」は「H」又は「L」レベルのどちらでも良い。
- 4M x 16として使う場合はBYTE#は「H」。8M x 8として使う場合にはBYTE#は「L」、ピン45をA-1として使いUB#とLB#は「L」でDQ8 ~ DQ14は使用しない。



DC 電気的特性

PARAMETER	SYMBOL	TEST CONDITION	MIN.	TYP. ^{*4}	MAX.	UNIT	
Supply Voltage	V _{CC}		2.7	3.0	3.6	V	
Input High Voltage	V _{IH} ^{*1}		2.2	-	V _{CC} +0.3	V	
Input Low Voltage	V _{IL} ^{*2}		-0.2	-	0.6	V	
Input Leakage Current	I _{LI}	V _{CC} ≥ V _{IN} ≥ V _{SS}	-1	-	1	μA	
Output Leakage Current	I _{LO}	V _{CC} ≥ V _{OUT} ≥ V _{SS} Output Disabled	-1	-	1	μA	
Output High Voltage	V _{OH}	I _{OH} = -1mA	2.2	2.7	-	V	
Output Low Voltage	V _{OL}	I _{OL} = 2mA	-	-	0.4	V	
Average Operating Power supply Current	I _{CC}	Cycle time = MIN. CE# ≤ 0.2V and CE2 ≥ V _{CC} -0.2V I _{I/O} = 0mA Other pins at 0.2V or V _{CC} -0.2V	-	12	20	mA	
	I _{CC1}	Cycle time = 1μs CE# ≤ 0.2V and CE2 ≥ V _{CC} -0.2V I _{I/O} = 0mA Other pins at 0.2V or V _{CC} -0.2V	-	3	5	mA	
Standby Power Supply Current	I _{SB1}	CE# ≥ V _{CC} -0.2V or CE2 ≤ 0.2V Other pins at 0.2V or V _{CC} -0.2V	-SL ^{*5} 25°C	-	12	32	μA
			-SLI ^{*5} 40°C	-	12	36	μA
			-SL (70°C)	-	-	100	μA
			-SLI (85°C)	-	-	160	μA

注意事項

- *1. 最大入力電圧、V_{IH} (max.)は6ns以内のパルス幅でV_{CC} + 2.0Vとする。
- *2. 最低入力電圧、V_{IL} (min.)は6ns以内のパルス幅でV_{SS} - 2.0Vとする。
- *3. オーバー/アンダーシュートに関しては製品評価段階で評価済みですが、量産時のテストはしていません。
- *4. V_{CC}=V_{CC}(typ.)、T_A=25°Cの条件で測定された平均値は参考値として示してありますが、保証値ではなく量産時のテストはしていません。
- *5. この項目はV_{CC}=3.0Vにおける参考値。

負荷容量 (T_A=25°C, f=1.0MHz)

PARAMETER	SYMBOL	MIN.	MAX.	UNIT
Input Capacitance	C _{IN}	-	15	pF
Input/Output Capacitance	C _{I/O}	-	20	pF

注意事項：これらのパラメータは製品評価で保証されていますが、量産時のテストはしていません。



AC テスト条件

Input Pulse Levels	0.2V to $V_{CC} - 0.2V$
Input Rise and Fall Times	3ns
Input and Output Timing Reference Levels	1.5V
Output Load	$C_L = 30pF + 1TTL, I_{OH}/I_{OL} = -1mA/2mA$

AC 電気的特性

(1) リード・サイクル

PARAMETER	SYM.	LY62L409816A-55		UNIT
		MIN.	MAX.	
Read Cycle Time	t_{RC}	55	-	ns
Address Access Time	t_{AA}	-	55	ns
Chip Enable Access Time	t_{ACE}	-	55	ns
Output Enable Access Time	t_{OE}	-	30	ns
Chip Enable to Output in Low-Z	t_{CLZ}^*	10	-	ns
Output Enable to Output in Low-Z	t_{OLZ}^*	5	-	ns
Chip Disable to Output in High-Z	t_{CHZ}^*	-	20	ns
Output Disable to Output in High-Z	t_{OHZ}^*	-	20	ns
Output Hold from Address Change	t_{OH}	10	-	ns
LB#, UB# Access Time	t_{BA}	-	55	ns
LB#, UB# to High-Z Output	t_{BHZ}^*	-	20	ns
LB#, UB# to Low-Z Output	t_{BLZ}^*	10	-	ns

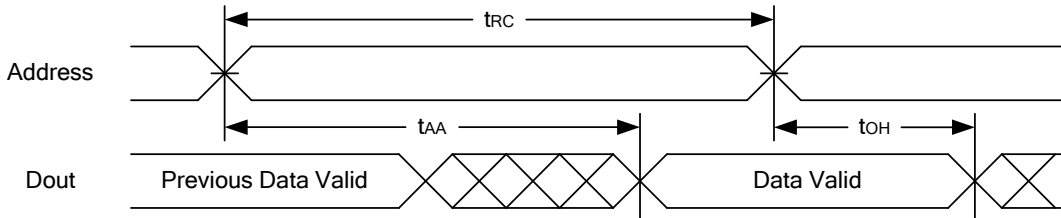
(2) ライト・サイクル

PARAMETER	SYM.	LY62L409816A-55		UNIT
		MIN.	MAX.	
Write Cycle Time	t_{WC}	55	-	ns
Address Valid to End of Write	t_{AW}	50	-	ns
Chip Enable to End of Write	t_{CW}	50	-	ns
Address Set-up Time	t_{AS}	0	-	ns
Write Pulse Width	t_{WP}	45	-	ns
Write Recovery Time	t_{WR}	0	-	ns
Data to Write Time Overlap	t_{DW}	25	-	ns
Data Hold from End of Write Time	t_{DH}	0	-	ns
Output Active from End of Write	t_{OW}^*	5	-	ns
Write to Output in High-Z	t_{WHZ}^*	-	20	ns
LB#, UB# Valid to End of Write	t_{BW}	50	-	ns

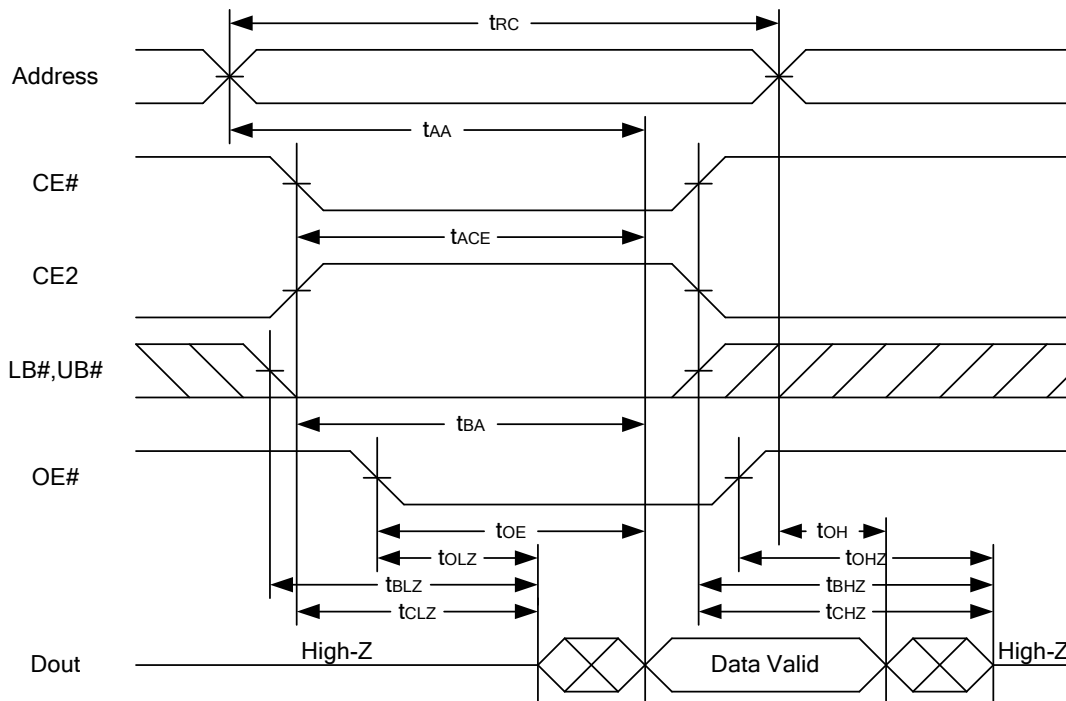
*各パラメータは製品特性上の保証値ですが、量産時のテストはしていません。

タイミング波形

リード・サイクル1 (アドレス・コントロール) (注意事項1, 2)



リード・サイクル2 (CE#, CE2とOE# コントロール) (注意事項1, 3, 4, 5)

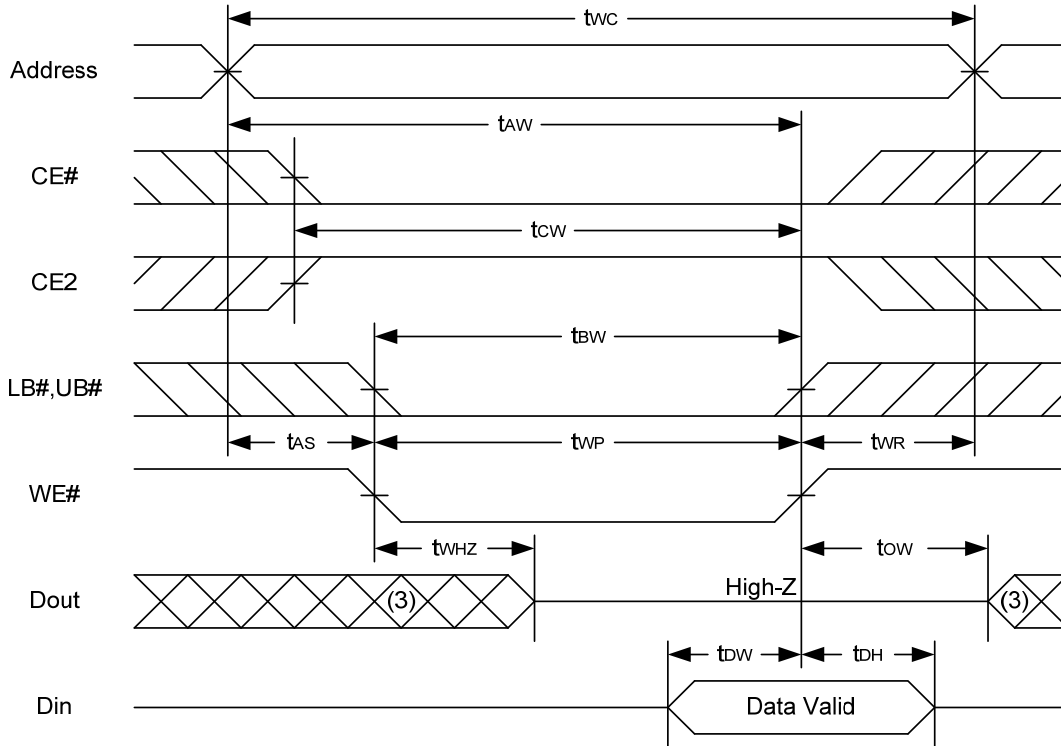


注意事項

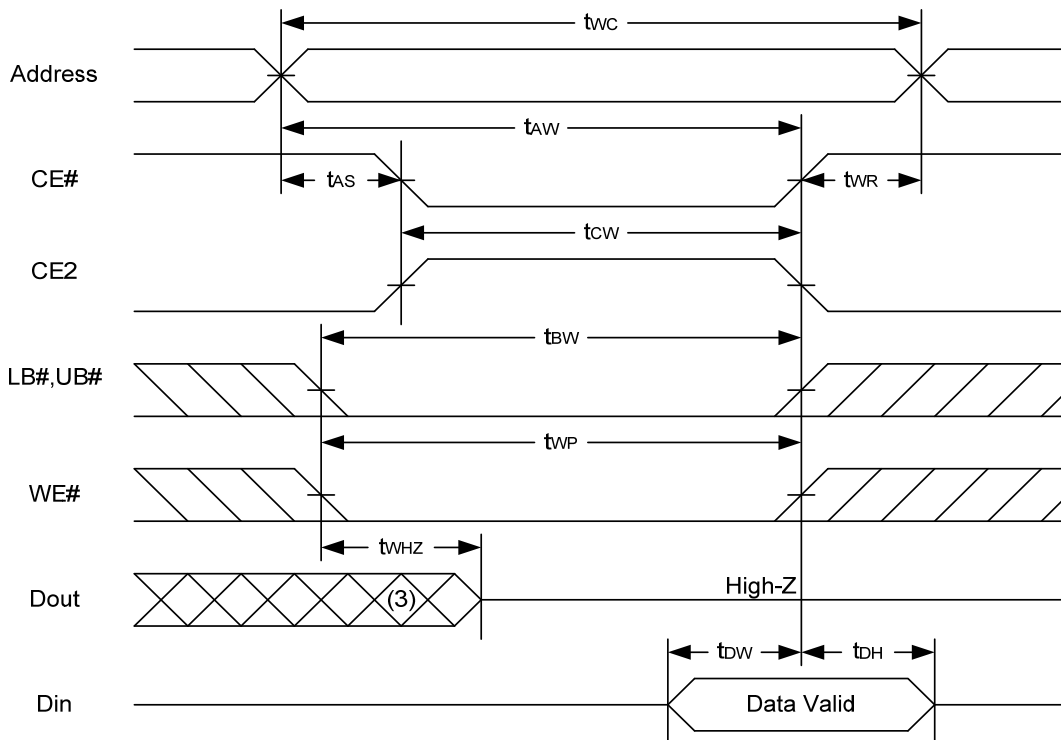
- リード・サイクル時にはWE#はハイレベルでなければなりません。
- OE#とCE#はローレベル、CE2はハイレベル、LB#とUB#のどちらかでもローレベルの場合はリード・サイクルとなります。
- アドレスはCE#はローレベル、CE2 =ハイ、LB#またはUB#はローレベルに変化する前、または同時に有効でなければなりません。もしそうでなければtAAは保証されません。
- tCLZ、tBLZ、tOLZ、tCHZ、tBHZ、およびtOHZは、CL = 5pFで指定されます。その変化は定常状態から±500mVの測定です。
- 温度および電圧が同じ条件であればtCHZはtCLZより小さく、tBHZはtBLZより小さく、tOHZはtOLZより小さくなります。



ライト・サイクル 1 (WE# コントロール) (注意事項 1, 2, 4, 5)



ライト・サイクル 2 (CE#とCE2 コントロール) (注意事項 1, 4, 5)



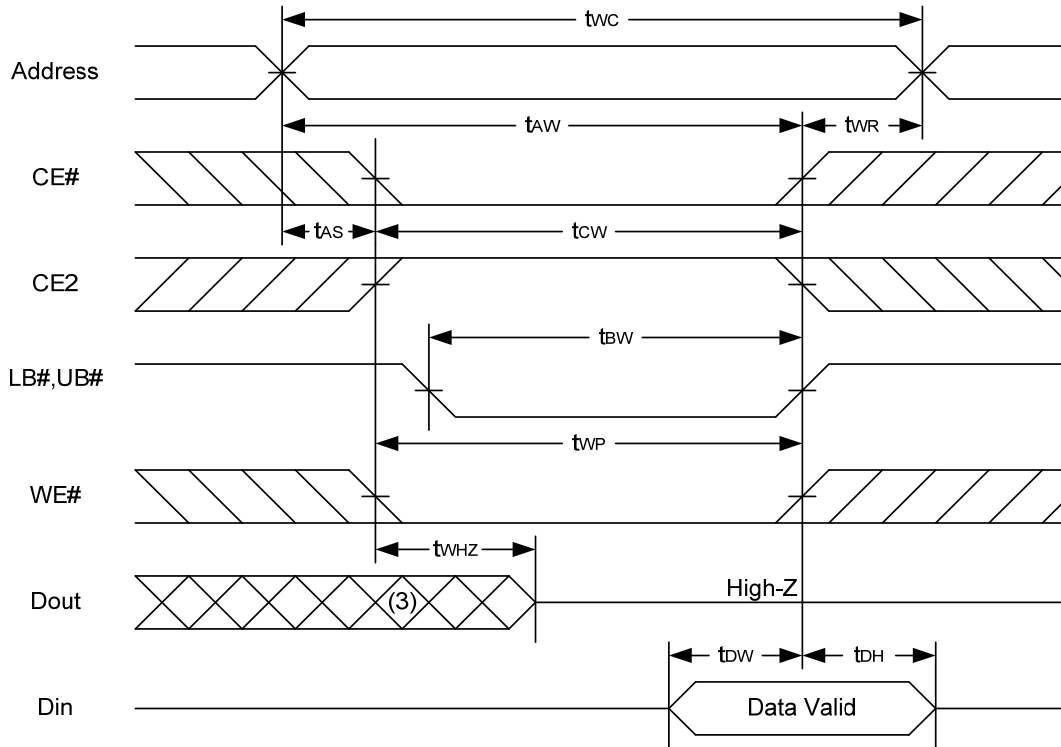
Lyontek Inc. reserves the rights to change the specifications and products without notice.

2F, No.17, Industry E. Rd. II, Science-Based Industrial Park, Hsinchu 300, Taiwan.

TEL: 886-3-6668838

FAX: 886-3-6668836

ライト・サイクル 3 (LB#, UB# コントロール) (注意事項 1, 4, 5)



注意事項

- 書き込みはCE#はローレベル、CE2はハイレベル、WE#はハイレベル、LB#またはUB#はローレベルのオーバーラップ中に実行されます。
- OE#がローレベルのWE#制御書き込みサイクル中、内部回路のドライバーをオフにしてデータを書き込みするには $t_{WP} > t_{WHZ} + t_{DW}$ より大きくする必要があります。
- この期間、I/Oピンは出力状態にあり入力信号を印加してはいけません。
- CE#、LB#、UB#のローレベルへの変化およびCE2のハイレベルへの変化がWE#のローレベルへの変化と同時にまたはその後に発生した場合、出力は高インピーダンス状態になります。
- t_{OW} および t_{WHZ} は $C_L = 5\text{pF}$ の条件です。この変化は定常状態から $\pm 500\text{mV}$ での測定です。

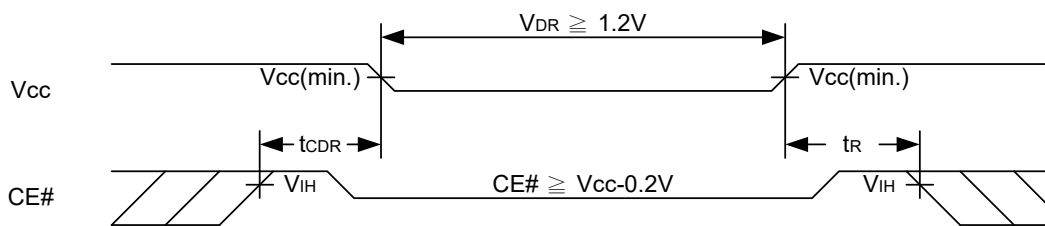
データ保持特性

PARAMETER	SYMBOL	TEST CONDITION	MIN.	TYP.	MAX.	UNIT	
V _{CC} for Data Retention	V _{DR}	CE# ≥ V _{CC} - 0.2V or CE2 ≤ 0.2V	1.2	-	3.6	V	
Data Retention Current	I _{DR}	V _{CC} = 1.2V CE# ≥ V _{CC} - 0.2V or CE2 ≤ 0.2V Other pins at 0.2V or V _{CC} - 0.2V	-SL 25°C	-	10	32	μA
			-SLI 40°C	-	10	36	μA
			-SL	-	-	100	μA
			-SLI	-	-	160	μA
Chip Disable to Data Retention Time	t _{CDR}	See Data Retention Waveforms (below)	0	-	-	Ns	
Recovery Time	t _R		t _{RC} *	-	-	Ns	

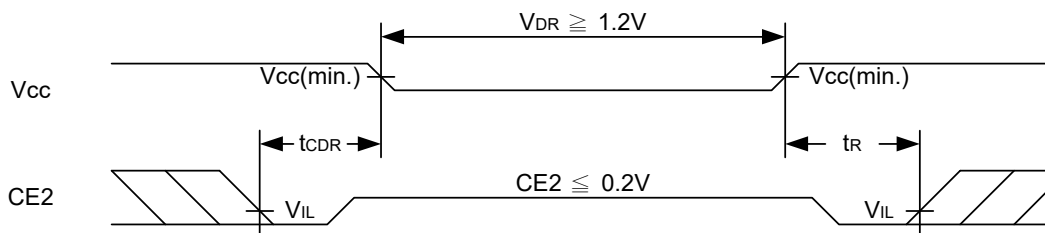
t_{RC}* = Read Cycle Time

データ保持タイミング・チャート

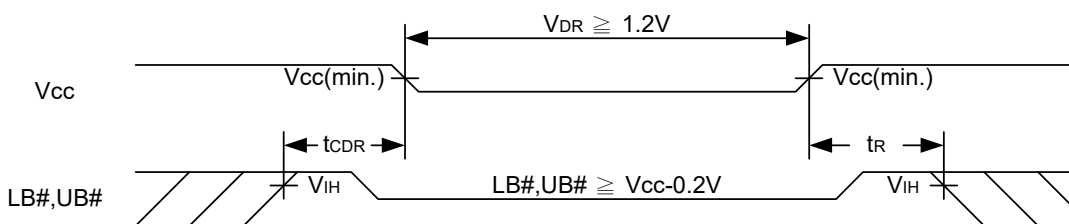
データ保持タイミング・チャート 1 (CE# コントロール)



データ保持タイミング・チャート 2 (CE2 コントロール)

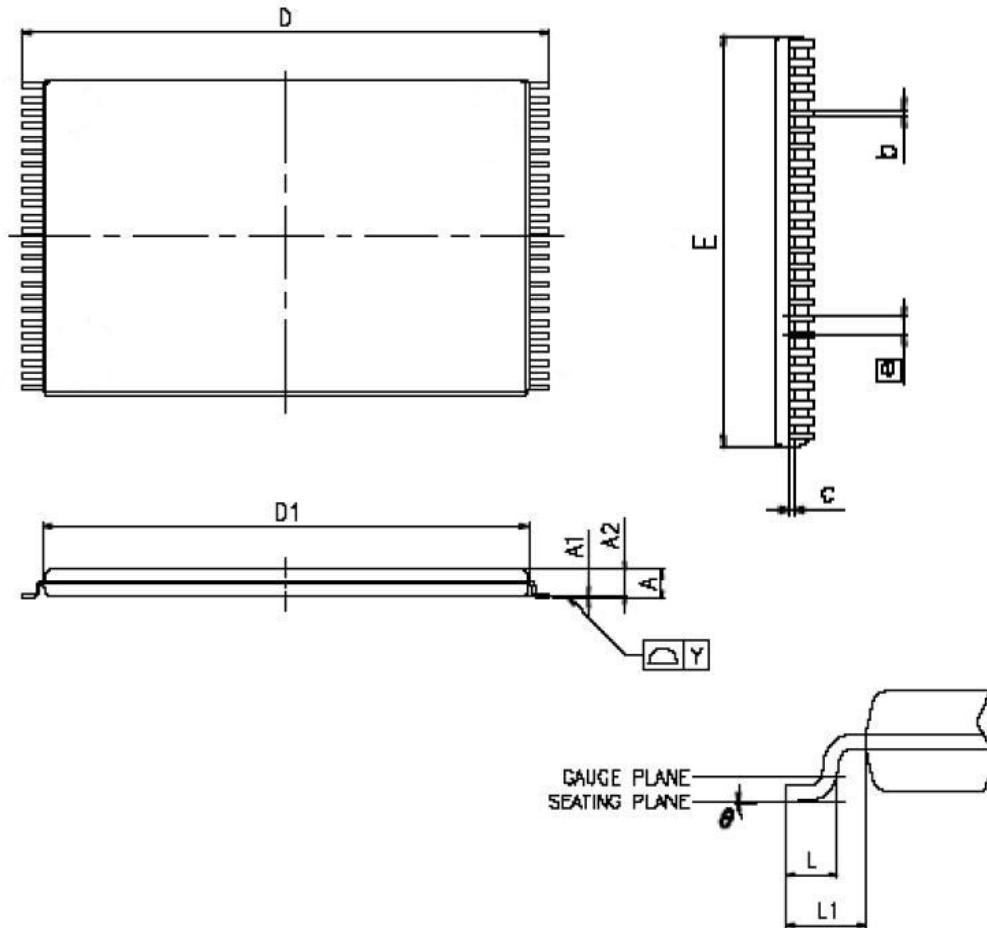


データ保持タイミング・チャート 3 (LB#, UB# コントロール)



パッケージ外形寸法

48ピン 12mm x 20mm TSOP I パッケージ外形寸法



VARIATIONS (ALL DIMENSIONS SHOWN IN MM)

SYMBOLS	MIN.	NOM.	MAX
A	-	-	1.20
A1	0.05	-	0.15
A2	0.95	1.00	1.05
b	0.17	0.22	0.27
c	0.10	-	0.21
D	19.80	20.00	20.20
D1	18.30	18.40	18.50
E	11.90	12.00	12.10
Ⓜ	0.50 BASIC		
L	0.50	0.60	0.70
L1	-	0.80	-
Y	-	-	0.10
θ	0°	-	5°

NOTES:

1. JEDEC OUTLINE : MO-142 DD
2. PROFILE TOLERANCE ZONES FOR D1 AND E DO NOT INCLUDE MOLD PROTRUSION. ALLOWABLE MOLD PROTRUSION ON E IS 0.15mm PER SIDE AND ON D1 IS 0.25mm PER SIDE.
3. DIMENSION b DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.08mm TOTAL IN EXCESS OF THE b DIMENSION AT MAXIMUM MATERIAL CONDITION. DAMBAR CANNOT BE LOCATED ON THE LOWER RADIUS OR THE FOOT.



注文時の関連情報

Package Type	Access Time (Speed)(ns)	Power Type	Temperature Range(°C)	Packing Type	Lyontek Item No.
48-pin (12mm x 20mm) TSOP I	55	Special Ultra Low Power	0°C~70°C	Tray	LY62L409816ALL-55SL
				Tape Reel	LY62L409816ALL-55SLT
			-40°C~85°C	Tray	LY62L409816ALL-55SLI
				Tape Reel	LY62L409816ALL-55SLIT